

## **PATENT ABSTRACTS OF JAPAN**

(11)Publication number : **02-042420**

(43)Date of publication of application : **13.02.1990**

---

(51)Int.Cl.                      **G02F 1/136**  
                                     **G02F 1/133**  
                                     **G09F 9/30**  
                                     **G09G 3/36**

---

(21)Application number : **01-100032** (71)Applicant : **HITACHI LTD**

(22)Date of filing :        **21.04.1989** (72)Inventor : **KABUTO NOBUAKI**  
                                                                         **IGARASHI MAYUMI**  
                                                                         **INOUE FUMIO**  
                                                                         **ANDO KUNIO**

---

(30)Priority

Priority number : **63100304**    Priority date : **25.04.1988**    Priority country : **JP**

---

(54) **DISPLAY DEVICE AND LIQUID CRYSTAL DISPLAY DEVICE**

(57)Abstract:

PURPOSE: To reduce the cost of an active matrix system display and to miniaturize it by providing a display element having horizontally arranged picture elements whose number is larger than the number of signal lines and a display element having vertically arranged picture elements whose number is smaller than the number of scanning lines.

**CONSTITUTION:** Since the number of the signals lines is smaller than the number of the horizontal picture elements connecting lines of the signal lines with an external driving circuit are decreased and the number of signal line driving ICs which constitute the external driving circuit is decreased. On the other hand the number of scanning lines is larger than the number of the vertical picture elements a scanning line driving circuit is built in a display panel the number of the connecting lines of the external driving circuit with the scanning line driving circuit in the display panel is made smaller than the number of the vertical picture elements and the number of scanning line driving ICs which constitute the external driving circuit is decreased. Thus the number of the connecting lines of the display panel with the external driving circuit is decreased the number of external driving ICs is decreased therefore the cost can be reduced and a display module can be miniaturized.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-42420

⑤ Int. Cl.<sup>3</sup>

G 02 F 1/136  
1/133  
G 09 F 9/30

識別記号

5 0 0  
5 5 0  
3 4 3

庁内整理番号

7370-2H  
8708-2H  
8838-5C※

④ 公開 平成2年(1990)2月13日

審査請求 未請求 請求項の数 9 (全15頁)

⑭ 発明の名称 表示装置及び液晶表示装置

⑮ 特 願 平1-100032

⑯ 出 願 平1(1989)4月21日

優先権主張 ⑰ 昭63(1988)4月25日 ⑱ 日本(JP) ⑲ 特願 昭63-100304

⑳ 発 明 者 甲 展 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 発 明 者 五十嵐 真 弓 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 発 明 者 井 上 文 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

表示装置及び液晶表示装置

2. 特許請求の範囲

1. 基板上に配設された、垂直方向にのびる複数の信号線と水平方向にのびる複数の走査線と、信号線と走査線により構成されるマトリクス of 各交点に画素として配設された表示素子とを有する表示パネルにおいて、信号線数より多い水平方向に並ぶ画素数の表示素子と、走査線数より少ない垂直方向に並ぶ画素数の表示素子とを有することを特徴とする表示装置。

2. 表示パネルを構成する前記基板上に、さらに該走査線を駆動する垂直走査機部が設けられたことを特徴とする請求項1記載の表示装置。

3. 基板上に配設された、垂直方向にのびる複数の信号線と、水平方向にのびる複数の走査線と、信号線と走査線とより構成されるマトリクス of 各交点に画素として配設された表示素子とを有する表示パネル及びその駆動回路において、水

平方方向に並ぶ1行の画素を複数にグループ分けし、2次元画像情報を時系列的に送られてくる映像信号の1行分から該グループ数分の画素情報をサンプリングし、かつ1行分の映像信号が送られてくる周期中に該グループ数の画素情報を時系列的に送出し、信号線を駆動する水平走査回路を有することを特徴とする表示装置。

4. 基板上に配設された、垂直方向にのびる複数の信号線と、水平方向にのびる複数の走査線と、信号線と走査線とより構成されるマトリクス of 各交点に画素として配設された表示素子とを有する表示パネルにおいて、水平方向に並ぶ表示素子の画素数とほぼ同じ数の信号線を有し、表示画面内左側の信号線と右側の信号線を共通接続して表示パネルと信号線駆動回路の接続線数を該信号線総数のほぼ半分とし、かつ垂直方向に並ぶ画素数とほぼ同じ数の走査線を表示画面内左側と右側にそれぞれ設けたことを特徴とする表示装置。

5. 基板上に配設された、垂直方向にのびる複数

## 特開平2-42420 (2)

の信号線と、水平方向にのびる複数の走査線と、信号線と走査線とにより構成されるマトリクス各交点に画素として配設された表示素子とを有し、該信号線は画素の表示素子を駆動する画素電極と隣接画素の画素電極の間に配され、該信号線は少なくとも水平方向に接している両隣の2画素と接続されており、かつ該両隣の2画素は異なる走査線と接続されていることを特徴とするマトリクス形表示装置。

6. 第1項から第5項のいずれかに記載の表示装置において、表示素子として、2枚のガラス板に液晶材料をはさむ液晶素子を用い、走査線を駆動する垂直走査機能部を液晶封入領域の下板ガラス上に設け、かつ垂直走査機能部上に絶縁膜を介して電極を形成し、該電極付対向共通電極に接続したことを特徴とする液晶表示装置。
7. 表示素子として、2枚のガラス板に液晶材料をはさむ液晶素子を用い、前記走査線を駆動する垂直走査機能部を液晶シール領域の下板ガラス上に設け、垂直走査機能部の無い液晶シール

領域には下板ガラス上に垂直走査機能部とほぼ同程度の厚みを有するダミーパターンを設けたことを特徴とする請求項1及至請求項5のいずれかに記載の液晶表示装置。

8. 表示素子として、2枚のガラス板に液晶材料をはさむ液晶素子を用い、前記走査線を駆動する垂直走査機能部を、液晶シール領域の外側の下板ガラス上に設け、かつ、垂直走査機能部上に配向制御膜より厚い保護絶縁膜を形成したことを特徴とする請求項1及至請求項5のいずれかに記載の液晶表示装置。
9. 前記走査線を駆動する垂直走査機能部として、シフトレジスタを有するICチップを用い、該ICチップの出力電極と前記走査電極が形成された基板上で、前記走査電極が画素表示部分から延長された電極が対向し、電気的に接続されていることを特徴とする請求項1及至請求項5のいずれかに記載の表示装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、アクティブマトリクス方式表示装置に係り、特にその低価格化、小形化、高歩留り化に有効な駆動装置に関する。

〔従来の技術〕

従来、アクティブマトリクス表示パネルとその駆動回路との接続数を減らした表示装置は、特開昭61-145597号に記載のように、信号線（同発明ではソース配線と記載）を数本づつ信号分配用TFET（薄膜トランジスタ）にて接続し、信号分配用TFETにより信号を入力すべき信号線を選択するようになっていた。

また、簡単なマトリクススイッチ回路を垂直走査回路の一部としてアクティブマトリクス表示パネルに内蔵させ、外付駆動回路と表示パネルの接続数を減らす方法については、特開昭62-15599号において論じられている。

〔発明が解決しようとする課題〕

上記第1の従来技術は、外付駆動回路から与えられる信号を各信号線に正しく伝えるには、その間に入る信号分配用TFETのオン抵抗を十分下げ

ておく必要がある一方、該TFETのオン抵抗を十分下げるには該TFETのトランジスタサイズを大きくせざるを得ず、そうすると該TFETのオフ抵抗を十分大きくとれないとか、該TFETのゲート・ソース間寄生容量による該TFETオフ時ゲート電圧変化が信号線に伝わってしまう量が大きくなる問題があった。

また、上記第2の従来技術は、外付水平駆動回路と液晶パネルの間の接続線数低減については述べられていなかった。

本発明の目的は、外付駆動回路と表示パネルの接続数をさらに低減させ、接続の歩留り向上をねらい、さらに外付駆動回路に用いる駆動ICの使用数を減らして低価格化、かつ駆動回路を含めた表示モジュールの小形化を実現することにある。

〔課題を解決するための手段〕

上記目的は、画素部を多重化して信号線数を水平画素数の1/2、及び走査線数を垂直画素数の2倍とし、走査線側の駆動回路を表示パネルに内蔵させた上、信号線側を倍速走査することにより、

## 特開平2-42420(3)

達成される。

## 〔作用〕

信号線数を水平画素数の1/2とすることにより、信号線と外付駆動回路の接続線を1/2に減らし、かつ外付駆動回路を構成する信号線駆動IC数も1/2にできる。一方、走査線数は垂直画素数の2倍になるが、走査線駆動回路を表示パネルに内蔵させることにより、外付駆動回路と表示パネル内の走査線駆動回路との接続線数は垂直画素数よりも少なくでき、外付駆動回路を構成する走査線駆動IC数も少なくできる。

このように、表示パネルと外付駆動回路の接続線数が減り、かつ外付駆動IC数が減るので、低価格化、かつ表示モジュールの小形化を実現できる。

## 〔実施例〕

本発明の一実施例の構成を第1図に示す。

1は垂直走査機能部4を基板上に形成したアクティブマトリクス表示パネル、2は水平走査回路、3は制御回路である。以下、第1図の実施例を、

同時に、第2水平周期において、サンプルホールド回路BとDが互いに位相差をもってサンプリング動作に入り、画像表示信号Viからそれぞれ第2行の画素電極E<sub>11</sub>とE<sub>12</sub>に対応する信号をサンプリングする。このサンプリングされた信号は、スイッチ23により続く第3水平走査周期の前半と後半に、バッファ24を通して、信号線Dr1に出力される。この出力タイミングと同期して、走査線Ga3とGa4が順次選択されると、第2行の画素電極E<sub>11</sub>とE<sub>12</sub>に各々の画素位置に対応した画像信号が書き込まれ、表示することができる。

第3水平周期では、第1水平周期と同様に、サンプルホールド回路AとCがサンプリング動作に入り、続く第4水平周期で信号線Dr1にそれぞれ出力し、第3行の画素電極E<sub>21</sub>、E<sub>22</sub>に画像信号を書き込む。以下、上記の動作をくり返し、かつ、全ての信号線及びその信号線に接続された画素電極についても同様な動作をすることにより、画像表示ができる。

各走査電極Ga1、Ga2…に上記で説明した水

画像表示信号Viとして例えばNTSC方式テレビ信号をとり上げ、第2図に示す動作波形例を用いて説明する。

水平走査回路2はシフトレジスタ21と、サンプルホールド回路制御入力選択回路22、スイッチとコンデンサから成るA、B、C、Dのサンプルホールド回路、スイッチ23、出力バッファ24で構成される。第1水平周期において、サンプルホールド回路AとCが互いに位相差を持ってサンプリング動作に入り、画像表示信号Viからそれぞれ第1行の画素電極E<sub>11</sub>とE<sub>12</sub>に対応する信号をサンプリングする。このサンプリングされた信号は、スイッチ23により、続く第2水平周期の前半と後半に、バッファ24を通して、信号線Dr1に出力される。信号線Dr1に出力されるタイミングと同期して、第2水平周期の前半で走査線Ga1、後半で走査線Ga2が選択されると、第1行の画素電極E<sub>11</sub>とE<sub>12</sub>に各々の画素位置に対応した画像信号が書き込まれ、表示することができる。

水平周期の半分づつ位相がずれた順次選択波形を与える垂直走査機能部4の動作については、その基本動作が前述の特開昭62-15599号に詳細が述べられている。ここでは簡単に動作を説明する。第2水平周期と第3水平周期において、制御回路3が垂直制御線F<sub>1</sub>に選択レベルを出力し、トランジスタS<sub>11</sub>、S<sub>12</sub>、S<sub>21</sub>、S<sub>22</sub>をオンとし、垂直制御線F<sub>1</sub>とほぼ反転したレベルを与える垂直制御線H<sub>1</sub>は非選択レベルとなり、トランジスタT<sub>11</sub>、T<sub>12</sub>、T<sub>21</sub>、T<sub>22</sub>をオフとする。この時、垂直信号線P<sub>11</sub>、P<sub>12</sub>、P<sub>21</sub>、P<sub>22</sub>にそれぞれ選択期間が水平周期の半分となる順次選択波形を制御回路3から加えれば、第2図に示すように、走査線Ga1、Ga2、Ga3、Ga4に順次選択波形が得られる。第4水平周期以降では、制御回路3が垂直制御線F<sub>1</sub>を非選択レベルとし、トランジスタS<sub>11</sub>、S<sub>12</sub>、S<sub>21</sub>、S<sub>22</sub>をオフとする。一方、垂直制御線H<sub>1</sub>を選択レベルとし、トランジスタT<sub>11</sub>、T<sub>12</sub>、T<sub>21</sub>、T<sub>22</sub>をオンとする。従って、第4水平周期以降は、垂直信号線Qに与えられている非選

## 特開平2-42420(4)

択レベルが安定に、走査線Ga1, Ga2, Ga3, Ga4に与えられる。

第4水平周期と第5水平周期も上記と同様に、垂直制御線F<sub>1</sub>に選択レベルが与えられ、トランジスタS<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>がオンし、垂直制御線H<sub>1</sub>に非選択レベルが与えられ、トランジスタT<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub>がオフする。この期間にも垂直信号線P<sub>1</sub>, P<sub>2</sub>, P<sub>3</sub>, P<sub>4</sub>に順次選択波形を加えておくことにより、走査線Ga5, Ga6, Ga7, Ga8に、第2図に示すような順次選択波形が得られる。

駆動する走査線を増やしたい場合は、垂直信号線や垂直走査線を増やせば、容易に拡張できる。すなわち、(n+1)本の垂直信号線と2m本の垂直制御線の計(2m+n+1)本の制御回路3の出力により、最大m・n本の走査線を駆動できる。

このように、第1図の実施例では、信号線Drの本数は水平画素数の半分となり、走査線Gaの本数は垂直画素数の2倍となるが、アクティブマ

トリクス表示パネル1に垂直走査機能部を形成することにより、アクティブマトリクス表示パネル1から引き出される総線数は少なくなる。例えば、水平480画素、垂直240画素の表示パネルを駆動する場合、表示パネルから引き出される線数は第2の従来例では、信号線として水平画素数と同じ480本、垂直画素数と同数の240本の走査線を駆動するために、垂直信号線(24+1)本、垂直制御線(2×10)本の計、525本必要であった。これに対し、第1図の実施例では、信号線として水平画素数の半分240本、垂直画素数の2倍480本の走査線を駆動するために、垂直信号線(30+1)本、垂直制御線(2×16)本の計303本が表示パネルから引き出されるだけですむため、接続の歩留りや信頼性の向上、接続部面積の低減に効果がある。また、水平走査回路2を例えばIC等で構成する場合、第1図の実施例では1出力当りのサンプルホールド回路が従来に比べて2個から4個に増えるため、水平走査ICの1個当りの価格は若干高くなるが、

駆動すべき信号線の数が増えているため、使用する水平走査IC数が半減するので、水平走査回路2全体の価格としては、従来に比べて安くできる利点がある。

また、アクティブマトリクス表示パネルから引き出される信号線数を水平画素数より減らした第1図の従来例では、引き出された信号線と表示パネル内の信号線との間に入れる信号分配用トランジスタのオン抵抗が問題であったが、第1図の実施例では、この信号分配用トランジスタが不要なため、上記の問題が解決される。

垂直走査機能部4を他の構成例で実現した、本発明の他の一実施例の構成を第3図に、その動作波形例を第4図に示す。第1図の構成と異なる点は、垂直信号線P<sub>1</sub>を追加している点である。まず、垂直走査機能部4'の動作から説明する。

垂直制御線F<sub>1</sub>は第1水平周期後半から第3水平周期前半まで選択レベルとし、トランジスタS<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>をオンとし、垂直制御線F<sub>2</sub>はほぼ反転したレベルを与える垂直制御線H<sub>1</sub>は

非選択レベルとなり、トランジスタT<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub>をオフとする。この時、垂直信号線P<sub>1</sub>, P<sub>2</sub>, P<sub>3</sub>, P<sub>4</sub>にそれぞれ選択期間が水平周期であり、それらの位相差が水平周期の半分である順次選択波形を制御回路3から加えれば、第4図に示すように、走査線Ga1, Ga2, Ga3, Ga4に順次選択波形が得られる。第2図の動作波形例と比べ、垂直信号線印加信号の選択期間を2倍とすることにより、トランジスタの走査線選択レベル信号入力に対するオン抵抗が大きく、走査線駆動信号波形の立上りが第4図の動作波形例に示すようになまった場合でも、走査線の選択期間(画素のトランジスタの書込時間)を確保することができ、安定な表示動作が期待できる。

第4水平周期前半以降は、制御回路3が垂直制御線F<sub>2</sub>を非選択レベルとし、トランジスタS<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>をオフとする一方、垂直制御線H<sub>2</sub>を選択レベルとし、トランジスタT<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub>をオンとする。従って、第4水平周期前半以降は、垂直信号線Qに与えられている非選択レベ

## 特開平2-42420 (5)

ルが安定に、走査線 Ga1, Ga2, Ga3, Ga4 に与えられるのは、第1図の実施例と同様である。

垂直制御線 F<sub>1</sub> は第3水平周期後半から第5水平周期後半まで選択レベルが与えられ、トランジスタ S<sub>11</sub>, S<sub>12</sub>, S<sub>13</sub>, S<sub>14</sub> がオンし、垂直制御線 H<sub>1</sub> はその期間非選択レベルが与えられ、トランジスタ T<sub>11</sub>, T<sub>12</sub>, T<sub>13</sub>, T<sub>14</sub> がオフする。第3水平周期後半において、垂直制御線 F<sub>1</sub> と F<sub>2</sub> が同時に選択レベルとなるため、それぞれの垂直制御線に接続されるトランジスタの内、隣接した走査線 Ga4 と Ga5 を駆動するトランジスタ S<sub>13</sub> と S<sub>14</sub> には、互いに他の垂直制御線に接続されるトランジスタの S<sub>11</sub>, S<sub>12</sub>, S<sub>13</sub>, S<sub>14</sub>, S<sub>15</sub>, S<sub>16</sub> のいずれにも接続されていない垂直信号線 P<sub>1</sub> と P<sub>2</sub> を接続する。従って、走査線 Ga5, Ga6, Ga7, Ga8 には第3水平周期後半から第5水平周期後半の間に順次選択される信号が、垂直信号線 P<sub>1</sub>, P<sub>2</sub>, P<sub>3</sub>, P<sub>4</sub> から供給され、第4図に示す信号波形が得られる。

以上で述べてきたように、垂直走査機能部4又

は4'は、順次選択出力波形を得られる回路であればよく、上述の例にとどまらず、例えばシフトレジスタ機能を持つ回路でも良いことは明らかである。

また、垂直走査機能部を表示パネル外に形成したとしても、アナログ信号を扱う複雑な水平走査IC数を減らし、構成が簡単な垂直走査ICが増えるのであるから、全体として、低価格化の効果がある。

本発明の他の一実施例の構成を第5図に示す。第1図の実施例と異なる点は、垂直走査機能部41と42が画像表示部の左右に配置され、それぞれが左側及び右側の画像表示部の走査線 G<sub>Li</sub>, G<sub>Ri</sub> (i = 1, 2, 3, ...) に接続され、水平走査回路2'は1出力当り2系統のサンプルホールド回路を持っている点である。以下、第6図に示す動作波形例を用いて、第5図の実施例の動作を説明する。

第1水平周期前半においてサンプルホールド回路Aがサンプリング動作に入り、画像表示信号

V<sub>i</sub> から画像表示部左側第1行の画素電極 E<sub>11</sub> に対応する信号をサンプリングする。このサンプリングされた信号は、スイッチ23により、続く第1水平周期後半にバッファ24を通して信号線 Dr1 出力され、この時走査線 G<sub>L1</sub> が選択されているので、画像表示部左側第1行の画素電極 E<sub>11</sub> に画像信号が書き込まれる。同時に、第1水平周期後半において、サンプルホールド回路Bがサンプリング動作に入り、画像表示信号 V<sub>i</sub> から画像表示部右側第1行の画素電極 E<sub>12</sub> に対応する信号をサンプリングする。このサンプリングされた信号は、スイッチ23により、続く第2水平周期前半にバッファ24を通して信号線 Dr1 出力され、この時走査線 G<sub>R1</sub> が選択されているので、画像表示部右側第1行の画素電極 E<sub>12</sub> に画像信号が書き込まれる。

第2水平周期においても、第1水平周期同様、前半でサンプルホールド回路Aが画像表示部左側第2行の画素電極 E<sub>21</sub> に対応する信号をサンプリングし、後半でサンプルホールド回路Bが画像表

示部右側第2行の画素電極 E<sub>22</sub> に対応する信号をサンプリングし、それぞれ、順次信号線 Dr1 から出力され、それぞれの画素電極を駆動する。第3水平周期以降についても同様な動作がくり返される。

尚、垂直走査機能部41と42とは、第1図の実施例における垂直走査機能部4とほぼ同じ構成になっており、詳細な説明は省く。制御回路3から垂直走査機能部42に加えられる信号は垂直走査機能部41に加えられる信号に比べて、水平周期の半分の時間、位相が遅れている点が特徴である。

第5図の実施例によれば、第1図の実施例に比べて、水平走査回路2'中のサンプルホールド回路数が半減できるので、回路規模の低減につながり、画像表示装置の低価格化に効果がある。

本発明の他の一実施例の構成を第23図に示す。第5図の実施例と異なる点は、画面表示部の左側と右側の信号線の接続のやり方と、シフトレジスタ25が双方向性シフト機能を持っている点であ

## 特開平2-42420 (6)

る。

第5図の実施例では、左側と右側の信号線を接続するために、信号線同志の交差が生じる。信号線の短絡防止のためには、信号線を同一電極層で形成できなくなり、プロセスが複雑になる問題が考えられる。そこで、第23図の実施例では、左側と右側の信号線の接続で、信号線の交差がなくなるようにし、プロセスの複雑化を防いでいる。

第23図の実施例の動作波形例を第24図に示す。左端の信号線Dr1と右端の信号線を接続しているため、サンプルホールド回路Aのサンプリングタイミングは第5図の実施例と同じであるが、サンプルホールド回路Bのサンプリングタイミングは水平周期内の有効表示期間の最後となっている。すなわち、サンプルホールド回路がサンプリングする期間（すなわち各水平周期後半）はシフトレジスタ25が逆方向にシフトすれば良い。サンプリング動作のタイミング以外は、第5図の実施例と同様な動作であるので、詳細な説明は省略する。

B→R→G→Bの順番で各原色画像信号を順次サンプリングして与えれば良い。この時、水平解像度を考慮すると、各水平周期内のサンプリングタイミングは、蛇行信号配線に合わせて、第1水平周期に対して第2水平周期は $\frac{1}{2}$ 画素周期（画素周期：有効水平表示期間を水平表示画素数で割った時間）、第3水平周期は1画素周期遅れ、第4水平周期は $\frac{3}{2}$ 画素周期、第5水平周期は1画素周期、第6水平周期は $\frac{1}{2}$ 画素周期早く、第7水平周期は同じタイミングとなる。

第9図の実施例では、信号線Dr1には水平周期の半分の周期毎にR→G→B→Rの順番で各原色画像信号を順次サンプリングして与えれば良い。この時、水平解像度を考慮すると、各水平周期内のサンプリングタイミングは蛇行信号配線に合わせて、第1水平周期に対して、第2水平周期は $\frac{1}{2}$ 画素周期遅れ、第3水平周期は同じタイミングとなる。

第10図の実施例では、信号線Dr1には水平周期の半分の周期毎にR→G→R→Gの順番で各

次に、各画素に3原色（R：赤、G：緑、B：青）の表示を対応させ、画像表示装置をカラー化する場合の、画像表示部信号線や走査線、画素電極等の配置例について、以下、実施例を示す構成図を第7図から第13図に示し、それぞれ、説明する。

第7図の画素配置例は、3原色表示画素を斜めモザイク状に配置したものである。第1図や第2図の画像表示装置に適用した場合、信号線Dr1には、水平周期の半分の期間毎にR→G→B→R→G→Bの順番で各原色画像信号を順次サンプリングして与えれば良い。

第8図から第13図の各画素配置例は、3原色表示画素を2等辺三角形の頂点に配置し、第7図の画素配置例に比べて混色性の向上を図ったものである。第8図、第9図、第10図の実施例では、信号線が各画素の間を通るようにするため、信号線は直線ではなく、蛇行配線となっている。第8図の実施例では、信号線Dr1には、第7図の実施例と同様に、水平周期の半分の周期毎にR→G→

原色画像信号を順次サンプリングして与えれば良い。この時、水平解像度を考慮すると、各水平周期内のサンプリングタイミングは蛇行信号配線に合わせて、第1水平周期に対して第2水平周期は $\frac{3}{2}$ 画素周期遅れ、第3水平周期は同じタイミングとなる。

第11図の実施例は、信号線を水平1.5画素置きに直線状に配したもので、1行毎に画素-画素の間と、画素電極を二分する位置に配されている。画素電極が信号線で二分されている画素には、各半画素電極に、二分されていない画素電極を駆動する画素トランジスタに比べてほぼ半分の駆動能力を持つ画素トランジスタを接続している。信号線Dr1には水平周期の半分の周期毎にG→G→B→Rの順番で各原色画素信号をサンプリングして与えれば良い。第11図の実施例によれば、信号線が直線状に配されるため、線長が短くなり、また曲がり部分がなくなり、生産の歩留り向上が期待できる。また、画素電極を二分した画素には3原色中最も輝度成分の大きな緑色(G)を対



## 特開平2-42420 (7)

応させ、かつ二分した画素電極にそれぞれサンプリングタイミングを画素電極位置に対応してずらした画像信号で駆動することにより、見かけ上の水平解像度を向上させることができる効果もある。

第12図の実施例は、信号線を水平2画素置きに直線状に配したもので、第11図の実施例と同様に、1行毎に信号線が画素電極を2分する構成となっている。第11図の実施例と異なる点は、二分された画素電極を同一の画像信号で駆動するため、第11図の実施例に比べると水平解像度の向上は望めないが、走査線の引出線数を少なくすることができる効果がある。

第13図の実施例は、1行の画素に対して3本の走査線を設け、信号線は3画素ピッチに設けている。各水平周期毎に、3原色画像信号R、G、Bを各画素に対応したタイミングで順次サンプリングし、水平周期の1/3の時間だけずらしたタイミングで順次、各信号線を駆動する。従って、第13図の画素配置例を第1図又は第2図の実施例に応用する場合、水平走査回路中のサンプルホ

ールド回路は各信号線に対し6系統必要となる。また、水平走査周期毎のサンプリングは、第1水平周期に対して、第2水平周期は $\frac{3}{2}$ 画素周期早く、第3水平周期は同じタイミングとなる。このように、第13図の実施例によれば、第7図から第12図の実施例に比べて、信号線数をさらに減らすことができる効果がある。

本発明のさらに他の一実施例を第25図に示す。画素電極Eijの各々に赤(R)、緑(G)、青(B)の発光色をトライアングル状に割り当てたものである。第8図から第12図の実施例で述べた3原色画素のトライアングル状配置では1行毎に同色画素を水平方向に1.5画素分ずらしていたのに対し、第25図の実施例では垂直方向に隣接した2画素に同色を配置し、1列毎に2画素分ずらした縦トライアングル状配置としている点が異なっている。垂直走査機能部44は、第3図の垂直走査機能部4'と同様な構成及び動作であるので、説明は省略する。

ここで、NTSC方式テレビ信号で駆動する場合

を例にとり、第25図の実施例を第26図と第27図の動作波形例を用いて、以下説明する。第25図の実施例も第3図の実施例と同様に、1水平走査周期中に2本のゲートバスを順次選択走査する。倍速走査を行っており、第26図、第27図共に、第4図の動作波形例とほとんど同じため、異なる点を主に説明する。

NTSC方式テレビ信号の画像(1フレーム)は、2フィールドから構成され、第2フィールドは第1フィールドの走査線のすき間を走査するインタレース走査を行っている。第25図の実施例では、このインタレース走査を実現し、垂直解像度向上を目的としている。すなわち、第26図に示す第1フィールドでは、第1水平周期のテレビ信号で第1走査電極Ga1と第2走査電極Ga2を順次選択し、第2水平周期のテレビ信号で第3走査電極Ga3と第4走査電極Ga4を順次選択している。一方、第27図に示す第2フィールドでは、第263水平周期のテレビ信号で第1走査電極Ga1を選択し、第264水平周期のテレビ信号

で第2走査電極Ga2と第3走査電極を順次選択しており、インタレース走査を実現している。

次に、本発明の他の一実施例として、前述したように、垂直走査機能部をシフトレジスタとして実現した例を示す。第28図は、垂直走査にシフトレジスタ40を用い、第9図の画素配置を用いた、アクティブマトリクス表示装置の構成図である。第29図は、その動作波形例を示す説明図である。

制御回路31は、入力される画像表示信号に従い、クロック波形CKVと、垂直走査開始信号波形STVをシフトレジスタ40に印加し、その出力として、走査線Ga1、Ga2、Ga3、…に第29図に示す順次選択波形を形成している。この順次選択波形は、第1図の実施例で得られている順次選択波形が同等であることは明らかである。

水平走査回路26には、画像表示信号を与える信号線が、3原色信号に対応して、V<sub>R</sub>、V<sub>G</sub>、V<sub>B</sub>と3本あるが、動作原理は第1図の実施例とほぼ同じであるため、詳細は省略する。

## 特開平2-42420(8)

第1図の実施例と異なる第1の点は、第28図の実施例では、各画素の表示色に対応してサンプルホールド回路A、B、C、Dがそれぞれ対応した画像表示信号をサンプリングするように接続されている点である。第1図の実施例と異なる第2の点は水平走査周期毎に、シフトレジスタ21の出力を0.5画素相当時間分ずらすことにより、1行毎に0.5画素ピッチ分ずれた画素配置に対応した3原色画像表示信号をサンプリングしている点である。尚、シフトレジスタ21の出力をずらすことは、制御回路31から与えるクロックの波形をずらすことにより、容易に実現される。

次に、画像表示装置として液晶表示装置を例にとり、第1図や、第3図、第5図などの実施例で示した、垂直走査機能部4、4'、41、42などの形成場所例について説明する。

第14図は、垂直走査機能部43を液晶封入領域に形成した液晶表示装置の断面図、第15図はその上面図である。56は電極、45は液晶シール部、46は下板ガラス、47は上板ガラス、

第18図は、垂直走査機能部43を液晶シール45領域の外側に形成した液晶表示装置の断面図、第19図はその上面図である。液晶シール領域の外側に形成して垂直走査機能部43を保護するために、液晶封入領域にある画素トランジスタ部48を保護する絶縁膜よりも厚い保護膜55を形成している。

このように、第14図、第16図、第18図の実施例によれば、動作が安定で、かつ表示品質の良い液晶表示装置が得られる。

これまで説明してきた垂直走査機能部は、主にアクティブマトリクス基板上に、画素トランジスタと同時に形成する場合を述べてきたが、別プロセスにより形成する場合においても適用できるのは明らかである。例えば、画素トランジスタをa-Siで形成し、垂直走査機能部p-Siで形成しても良い、また、単結晶Si基板上に形成した垂直走査機能部を、画素トランジスタを形成した下板ガラス上に置き、電極同志を接続させて構成させても良い。

48は画素トランジスタ、49は絶縁膜、50は配向制御膜、51は液晶、52は画像表示部、53は信号線等の引出部、54は対向共通電極である。垂直走査機能部43を液晶封入領域に形成すると、垂直走査機能部43と対向共通電極の間に直流電界が印加され、液晶51が劣化してしまう危険がある。これを防ぐため、第14図の実施例では、垂直走査機能部43の上に絶縁膜49を介して電極44を形成し、この電極44に、対向共通電極54と同電位を与える構造にしている。

第16図は、垂直走査機能部43を液晶シール領域に形成した液晶表示装置の断面図、第17図はその上面図である。第16図では説明に必要のない構成要素について、図示を省略している。第16図の実施例では、下板ガラス46と上板ガラス47を平行に保ち、表示むらをなくすため、液晶シール45領域で、垂直走査機能部43を形成していない領域にも、垂直走査機能部43と同程度の高さを有するダミーパターン53を設けている。


第30図は、例えばシフトレジスタで構成された3個の垂直走査ICチップ40-1、40-2、40-3と、2個の水平走査ICチップ26-1、26-2を、画素トランジスタを形成した下板ガラス上に、直接接続した液晶表示装置の上面図、第31図はその断面図である。401はICチップであり、垂直走査ICチップや水平走査ICチップの中の任意の1個である。単結晶Si基板で構成されるICチップ401は、その入出力端子部にパンプ402を介して、下板ガラス46上の電極に接続される。尚、ICチップ401は、保護膜57でおおわれる。このように、ICチップを直接下板ガラス上に接続することにより、画素トランジスタを形成した下板ガラス46と、外部の駆動回路との接続数を減らすことができ、下板ガラス46上に垂直走査機能部を形成した場合と同様な効果が生じる。

第20図は、以上で述べてきた画像表示装置を用いてカラーテレビを構成した一例を示すブロック図である。放送電波をアンテナ61で受け、チ

## 特開平2-42420 (9)

ユーナ・I F (中間周波増幅) 62により、音声信号と映像信号に変換される。音声信号は音声処理回路63に加えられる。映像信号は、原色デコーダ64と同期分離回路66に加えられ、それぞれ、3原色映像信号と同期信号が得られる。3原色映像信号は、ガンマ補正回路65により、画像表示装置67の電圧輝度特性に適した3原色画像信号に変換され、同期信号と共に本発明による画像表示装置67に入力され、カラーテレビ画像が再生できる。

第21図は、本発明による画像表示装置67を用いてカラーモニタを構成した一例を示すブロック図である。映像信号供給装置として、第20図の応用例で用いたチューナ・I Fに代わり、V T R (ビデオテープレコーダ) 又はV D P (ビデオディスクプレーヤ) 68を用いている他は、第20図の応用例と同様な動作を行う。

第22図は、本発明による画像表示装置67を用いてビデオカメラのモニタ用カラービューファ  

 ンダを構成した一例を示すブロック図である。

数を少なくし、接続の歩留り向上や、外付駆動回路規模低減による低価格化や、コンパクト化を実現できる効果がある。

## 4. 図面の簡単な説明

第1図、第3図、第5図、第23図、第25図及び第28図はそれぞれ本発明の一実施例による画像表示装置の構成図、第2図、第4図、第6図、第24図及び第29図はそれぞれ第1図、第3図、第5図、第23図及び第30図の実施例の動作例を説明する波形図、第26図と第27図は第25図の実施例の動作例を説明する波形図、第7図及至第13図はそれぞれ本発明の一実施例による画像表示装置の画素配置と信号線配線を説明する図、第14図、第16図、第18図及び第31図はそれぞれ本発明の一実施例による液晶表示装置の垂直走査機能部形成場所を示す断面図、第15図、第17図、第19図及び第30図はそれぞれ第14図、第16図及び第18図の実施例による上面図、第20図、第21図及び第22図はそれぞれ本発明による画像表示装置を用いた応用例を示

映像信号供給装置として、第20図の応用例で用いたチューナ・I Fの出力映像信号に代わり、カメラ制御部69で駆動される撮像素子70の出力を信号処理回路71に入力して得られる映像信号と、外部入力端子72から加えられる映像信号をスイッチ73により切換えて得られる映像信号を用いている他は、第20図の応用例と同様な動作を行う。

第20図、第21図、第22図の応用例に、本発明の表示装置を用いることにより、低価格、かつコンパクトな、カラーテレビ、カラーモニタ、カラービューフィндаが得られる。モノクロ表示の場合は、これらの応用例から原色デコーダ部を省くことにより容易に構成できる。

## 〔発明の効果〕

本発明によれば、表示画素部を多重化し、表示パネルからの信号線引出線数を減らすことにより、信号線を駆動する外付水平走査I C数を減らす一方、走査線を駆動する垂直走査機能部を表示パネル上に形成することで、表示パネルからの引出線

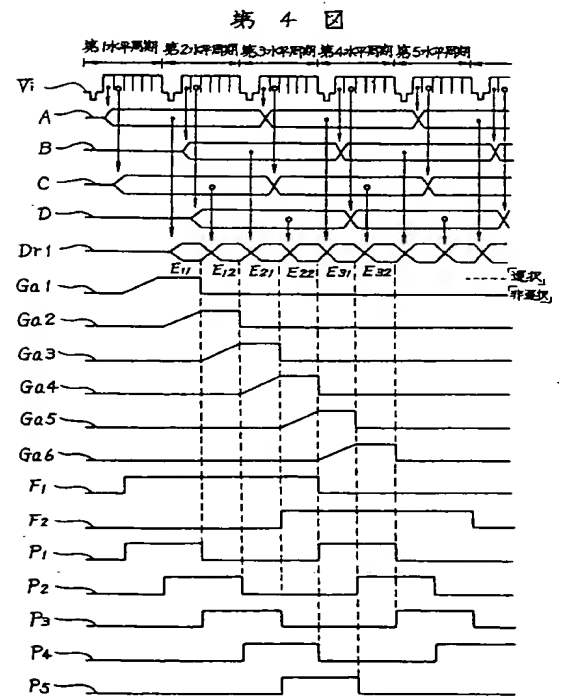
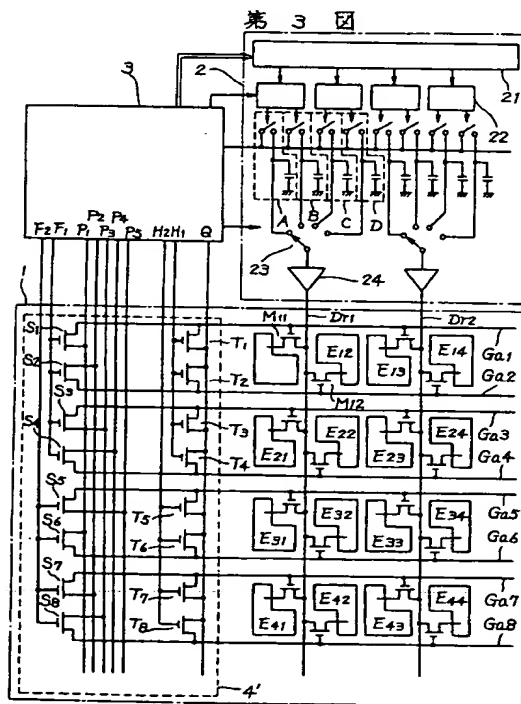
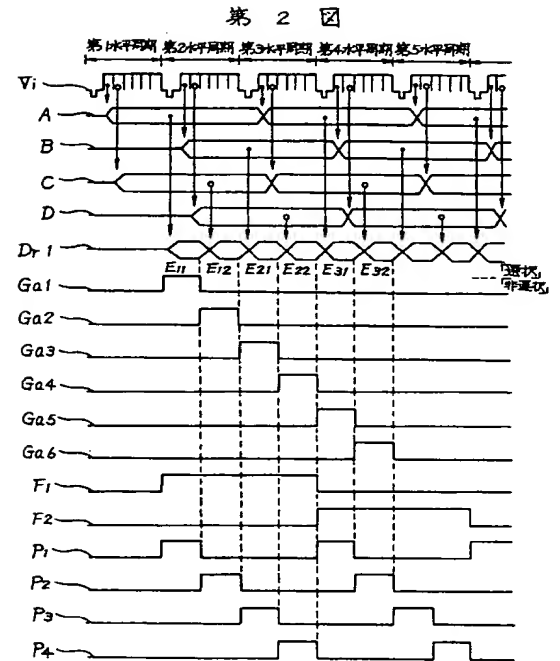
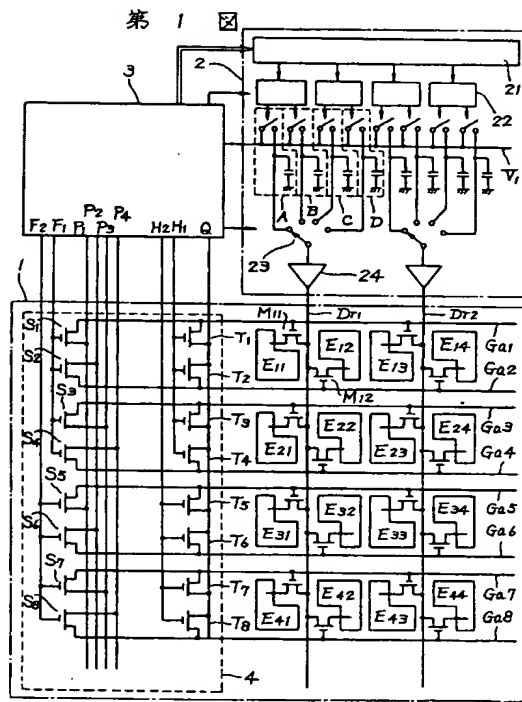
すブロック図である。

1, 1', 11…アクティブマトリクス表示パネル、2, 2', 26…水平走査回路、3, 31…制御回路、4, 4', 41, 42, 42, 44…垂直走査機能部、Si, Ti, Mij…MOSTランジスタ、Eij…画素電極、21, 40…シフトレジスタ、22…サンプルホールド回路制御入力選択回路、23…スイッチ、24…バッファ、25…双方向性シフトレジスタ、45…液晶シール部、46…下板ガラス、47…上板ガラス、48…画素トランジスタ、49…絶縁膜、50…配向制御膜、51…液晶、52…画像表示部、53…信号線引出部、54…対向共通電極、56…電極。

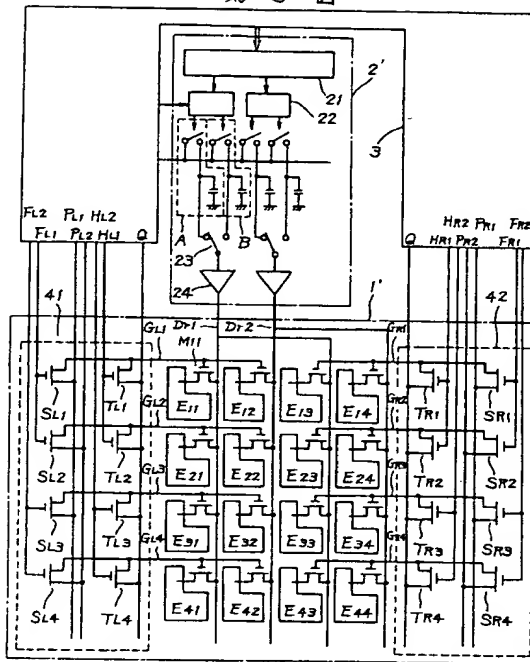
代理人弁理士 小 川 勝 男



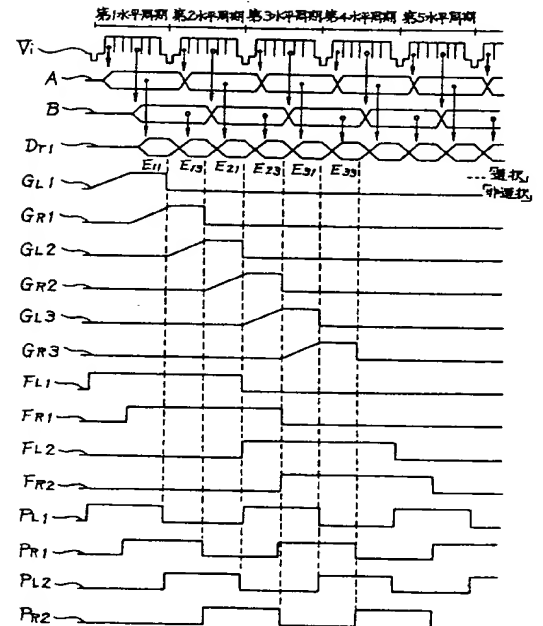
特開平2-42420 (10)



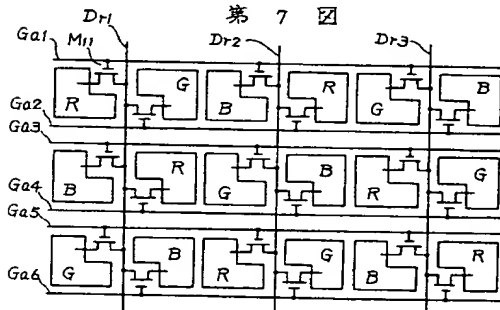
第 5 図



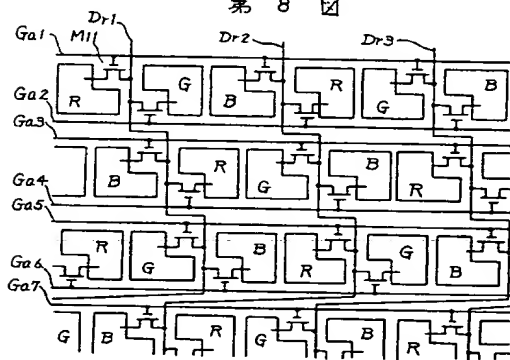
第 6 図



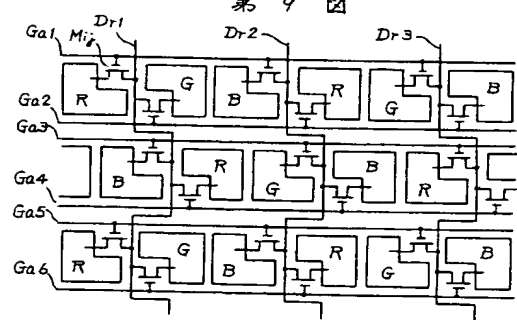
第 7 図



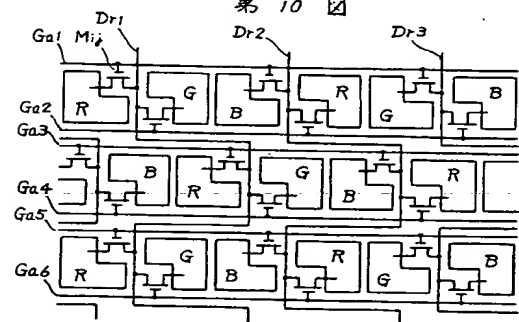
第 8 図



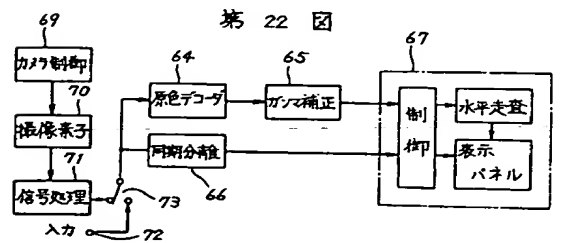
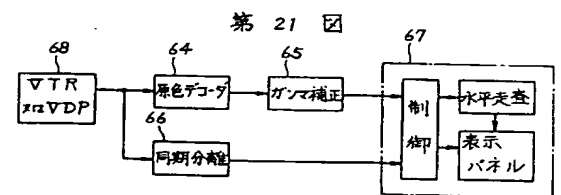
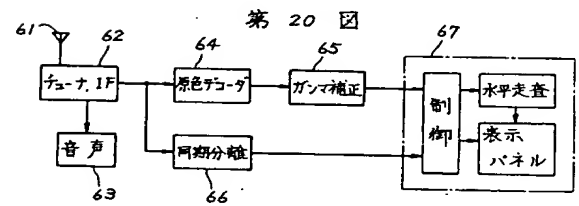
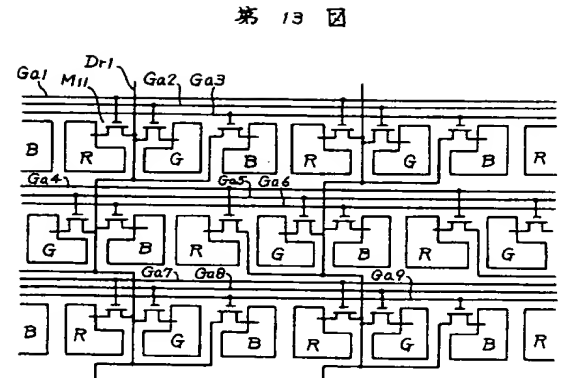
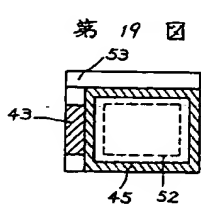
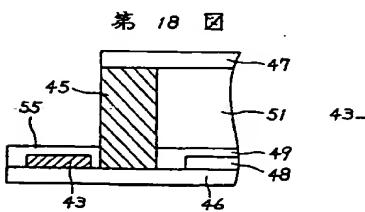
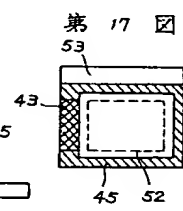
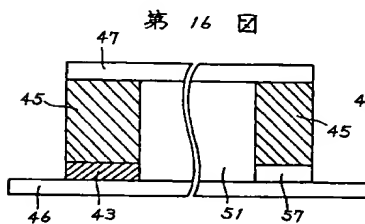
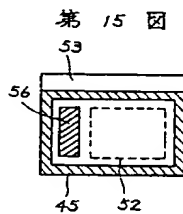
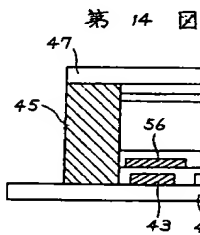
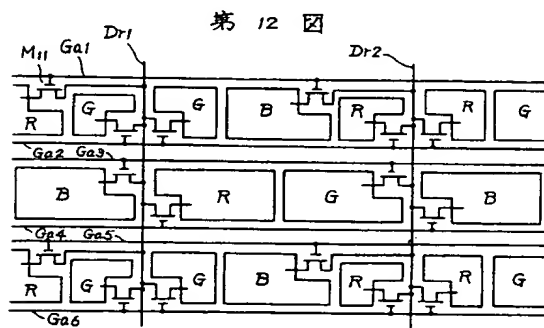
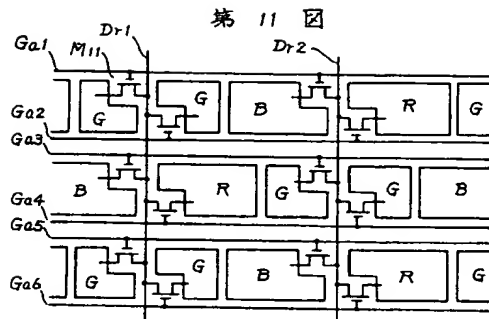
第 9 図



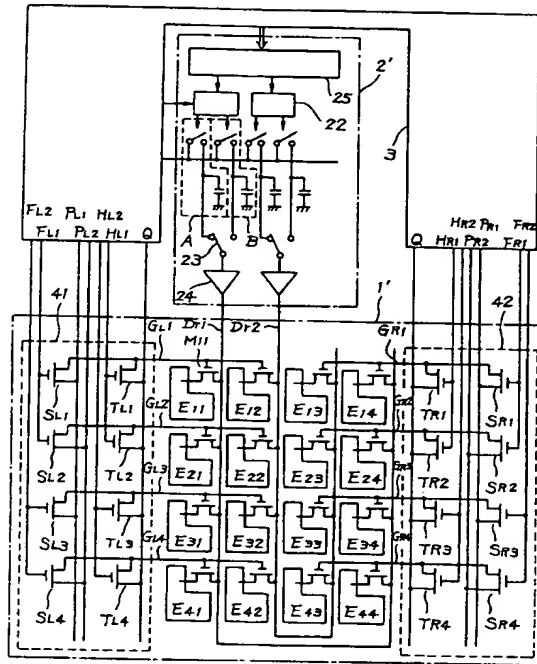
第 10 図



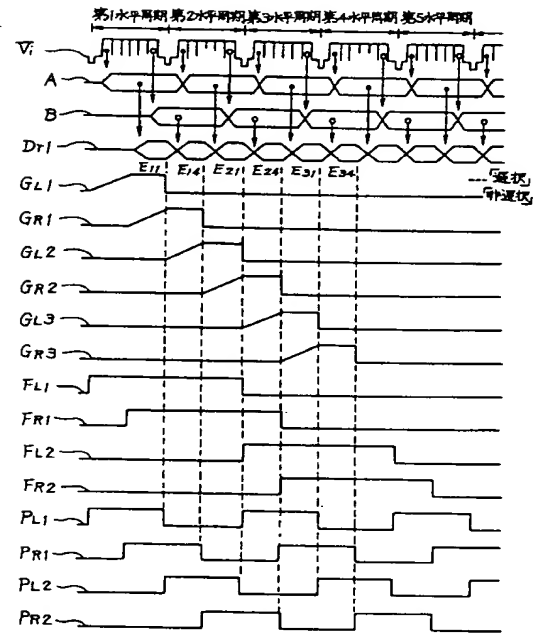
特開平2-42420 (12)



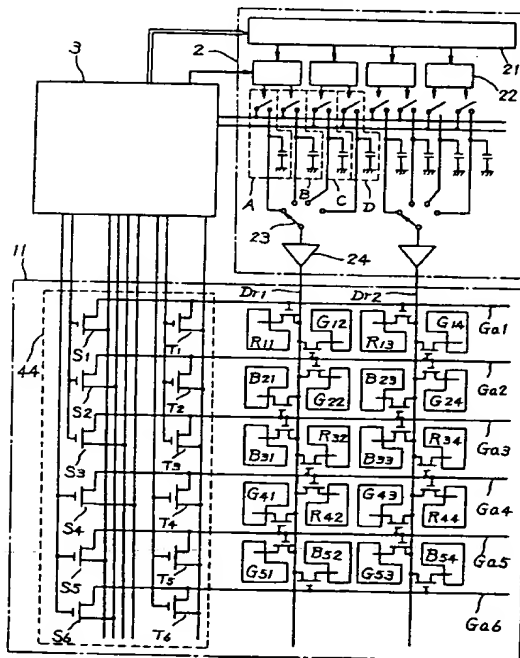
第 23 図



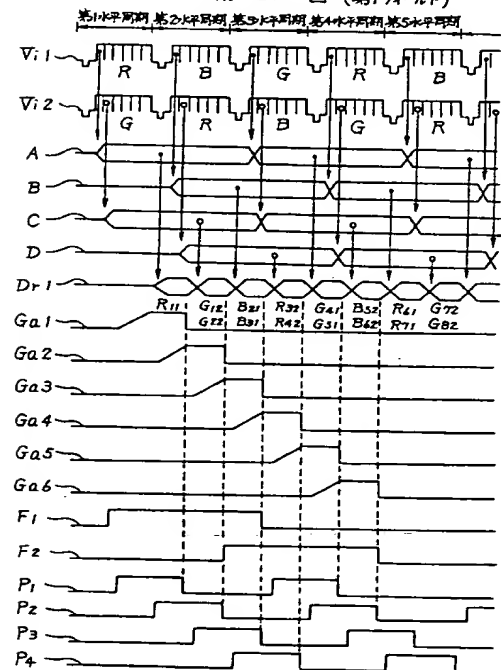
第 24 図



第 25 図



第 26 図 (第174-ルド)







特開平2-42420 (15)

第1頁の続き

⑤Int. Cl.<sup>5</sup>

G 09 G 3/36

識別記号

庁内整理番号

8621-5C

⑦発 明 者    安 藤        久 仁 夫    神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所家電研究所内